Japanese Kokai Patent Application No. Sho 55[1980]-53956

Job No.: 228-119976 Ref.: JP 55-53956 ORDER NO. 8535
Translated from Japanese by the McElroy Translation Company
800-531-9977 customerservice@mcelroytranslation.com

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 55[1980]-53956

Int. Cl.[3]:	H 04 M 3/22 H 04 L 11/08
Sequence Nos. for Office Use:	7117-5K 6651-5K
Filing No.:	Sho 53[1978]-127298
Filing Date:	October 18, 1978
Publication Date:	April 19, 1980
No. of Claims:	1 (Total of 3 pages)
Examination Request:	Filed

CLOCK DISTRIBUTION METHOD

Inventors:

Tatsuro Miyoshi
Oki Electric Industrial Co. Ltd.
1-7-12 Toranomon
Minato-ku, Tokyo

Kazuo Hamasato
NTT Corporation
3-9-11 Midori-machi
Takefujino-shi, Tokyo

Akira Kawada
NEC Corporation
5-33-1 Shibam Minato-ku
Tokyo

Toshikatsu Yasuda
Hitachi Ltd.
216 Totsuka-cho
Totsuka-ku, Yokohama-shi

Tsuneo Katsuyama
Fujitsu Ltd.
1015 Kamikodanaka
Nakahara-ku, Kawasaki-shi

Applicants: Oki Electric Industrial Co. Ltd.
1-7-12 Toranomon
Minato-ku, Tokyo

NTT Corporation

NEC Corporation
5-33-1 Shibam Minato-ku
Tokyo

Hitachi Ltd.
1-5-1 Marunouchi
Chiyoda-ku, Tokyo

Fujitsu Ltd.
1015 Kamikodanaka
Nakahara-ku, Kawasaki-shi

Agent: Tetsuo Suzuki, patent attorney

Claim

For a method for distributing the clock of a first and a second clock supply source to a speech path device of a digital exchange device, a clock distribution method characterized in that a master clock and a clock switching circuit are arranged in the path from each clock supply source to the speech path device within the digital exchange device; the first clock supply source is connected to the first input unit of a first and a second clock switching circuit via a first master clock circuit; the second clock supply source is connected to the second input unit of the first and the second clock switching circuit via a second master clock circuit; the output units of the first and second clock switching circuits are connected respectively to first and second input units of selection circuits in the speech path device; one of the clocks supplied from the first and second clock supply sources is supplied to the first and second input units of the aforementioned selection circuit by classifying the input information by means of the switching information unit of the aforementioned clock switching circuits; and one of the clocks supplied to the first and second units of the selection circuit is selected and output from the output unit of said selection circuit.

Detailed explanation of the invention

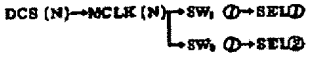
The present invention pertains to a method for distributing the clock to a speech path device in a digital exchange device for which the clock distribution method is facilitated.

A conventional clock distribution method is structured as shown in Figure 1. In Figure 1, DCS(N) is a first clock supply source, DCS(E) is a second clock supply source, TDX is a digital exchange device, MCLK(N) is a first master clock circuit, MCKL(E) is a second master clock circuit, SPE_1 and SPE_n are speech path devices, SEL is a selection circuit, and ① and ② are first and second input units. With this method, clock supply source DCS(N) is usually used, and when it is not functioning, a clock is supplied from clock supply source DCS(E). When the clock supply source DCS(N) fault is eliminated, clock supply source DCS(N) again supplies the clock. In addition, the two clocks supplied by the digital exchange device TDX are received by master clocks MCLK(N) and MCLK(E) and the clocks are distributed without change to speech path devices SPE_1-SPE_n as two lines and one of the two clocks is selected at the selection circuit SEL and is used by each speech path device. In addition, a clock interruption detection circuit is located in front of selection circuit SEL (it is not shown in the figure, but its location corresponds to the first input unit ① and second input unit ② of selection circuit SEL in Figure 1) and it constantly monitors the input clock. Accordingly, for example when the clock supply line DCS(N) → MCLK(N) → SEL ① is used and when a clock interruption is detected by either of the clock interruption detection circuits of this clock supply line, the clock supply line is inverted and the clock is supplied by the clock supply line DCS(E) → MCLK(E) → SEL ②. Here, because the phases of the clock from clock supply source DCS(N) and the clock from clock supply source DCS(E) differ, a loss in synchronization occurs for short periods of time in the digital exchange device TDX. Thus with the conventional method, whenever a fault occurs in a portion of the clock supply lines, the clock supply lines must be inverted, which makes maintenance more difficult. Moreover, the loss in synchronization in the digital exchange device for short periods of time during inversion is unsuitable, and the reliability of this clock supply system is unsuitable when it is implemented on a large scale. Furthermore, the management demarcation and the maintenance demarcation are different for the digital exchange device and clock supply sources DCS(N), DCS(E), so they must be clearly classified with respect to an interface. But as above, because the clock supply line must also be switched when a fault occurs with speech path devices SPE_1-SPE_n, this objective cannot be achieved.

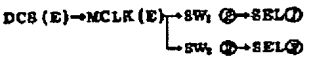
The present invention is characterized in that classification of the interface is clarified using the clock switching circuit, thus rationalizing management of the clock distribution system to provide a clock distribution method that eliminates the aforementioned problem.

Figure 2 is one application example of the present invention; it differs from the conventional method shown in Figure 1 in that clock switching circuits SW_1, SW_2 have been

added. By means of this construction, during normal operation, first clock supply source DCS(N) and first master clock circuit MCLK(N) operate, and when first clock switching circuit SW_1 and second clock switching circuit SW_2 receive, via a terminal RT, a specific input information classification (for example, a '1' clock) that is generated by an input information classification creation circuit (not shown in the figure), a clock is supplied to the input units ①, ② of selection circuit SEL of each speech path device SPE_1-SPE_n as shown below:



In addition, when a fault occurs with either the first clock supply source DCS(N) or the first master clock circuit MCLK(N), it is detected by a fault detection circuit (not shown in the figure), on the basis of which first and second clock switching circuits SW_1 and SW_2 receive, via terminal RT, a specific input information classification (for example, a '2' clock), so a clock is supplied to the input units ①, ② of selection circuit SEL of each speech path device SPE_1-SPE_n as shown below:



Furthermore, when a fault occurs for example with the first input unit ① of switching circuit SEL of SPE_1 of speech path devices SPE_1-SPE_n and this fault is detected by the clock interruption detection circuit (not shown in the figure) that is located in front of this selection circuit SEL, the selection circuit SEL of speech path device SPE_1 for which this fault has been detected is operated and speech path device SPE_1 uses the clock received by the second input unit ②, so no adverse effect due to a phase difference occurs, as it does with the conventional method. Furthermore, as explained above, a clock from a single supply source, DCS(N) or DCS(E), is supplied constantly to input units ①, ② of switching circuit SEL of speech path devices SPE_1-SPE_n; therefore, when no fault occurs with input units ①, ② of the individual speech path devices, the clock can be selected and used freely by input unit ① or ②. Furthermore, said speech path devices can operate only their own selection circuit SEL, so an advantage is achieved in that no impact is received from the other. In addition, faults other than those with switching circuits SW_1, SW_2 are handled by the digital exchange device TDX.

As explained above, by means of the present invention by providing clock switching circuits SW_1, SW_2 after master clock circuits MCLK(N), MCLK(E), management of the clock distribution system of clock supply sources DCS(N), DCS(E) and management of the clock distribution system within digital exchange device TDX can be separated, thus clarifying the interface. Furthermore, the clock is distributed to speech path devices SPE_1-SPE_n continually with two lines from a single clock supply source, so the clock distribution system can be managed independently for speech path devices SPE_1-SPE_n; accordingly, management of the clock distribution system is facilitated. Furthermore, a clock that is operating normally can be

freely selected by means of the selection circuit SEL, independently for speech path devices SPE_1-SPE_n; thus an excellent effect with respect to reliability can be obtained as well.

Brief description of the figures

Figure 1 is a block diagram for the purpose of explaining a conventional clock distribution method. Figure 2 is a block diagram of one application example of the present invention.

Explanation of symbols

DCS(N), DCS(E)	Clock supply source
MCLK(N), MCLK(E)	Master clock circuit
SW_1, SW_2	Clock switching circuit
SPE_1, SPE_n	Speech path device

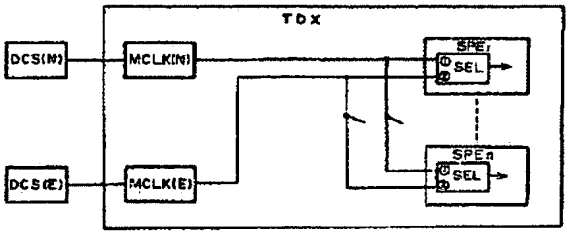


Figure 1

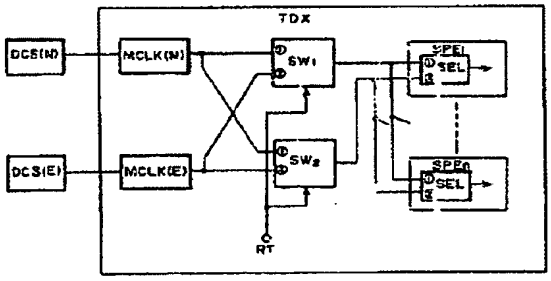


Figure 2

⑲ 日本国特許庁（JP）　⑪ 特許出願公開

⑫ 公開特許公報（A）　昭55—53956

⑤Int. Cl.³	識別記号	庁内整理番号
H 04 M 3/22		7117—5K
H 04 L 11/08		6651—5K

⑬公開　昭和55年(1980)4月19日
発明の数　1
審査請求　有
（全 3 頁）

⑤④クロック分配方式

⑳特　願　昭53—127298
㉒出　願　昭53(1978)10月18日

⑦発　明　者　三好達郎
東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内
⑦発　明　者　浜里和雄
武蔵野市緑町3丁目9番11号日本電信電話公社武蔵野電気通信研究所内
⑦発　明　者　川田明
東京都港区芝五丁目33番1号日本電気株式会社内
⑦発　明　者　家寿田利勝
横浜市戸塚区戸塚町216番地株式会社日立製作所戸塚工場内
⑦発　明　者　勝山恒男
川崎市中原区上小田中1015番地富士通株式会社内
⑦出　願　人　沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号
⑦出　願　人　日本電信電話公社
⑦出　願　人　日本電気株式会社
東京都港区芝五丁目33番1号
⑦代　理　人　弁理士　鈴木敏明

最終頁に続く

明　細　書

1. 発明の名称

クロック分配方式

2. 特許請求の範囲

第1および第2のクロック供給源のクロックをディジタル交換機の通話路系装置へ分配する方式において、各クロック供給源から通話路系装置に至るディジタル交換機内の経路にマスタクロック回路およびクロック系切替回路を配置し、第1のクロック供給源は第1のマスタクロック回路を介して第1および第2のクロック系切替回路の第1の入力部に接続し、第2のクロック供給源は第2のマスタクロック回路を介して第1および第2のクロック系切替回路の第2の入力部に接続し、第1および第2のクロック系切替回路の出力部は通話路系装置内の選択回路の第1および第2の入力部にそれぞれ接続し、前記クロック系切替回路の切替情報入力部の入力情報種別により第1および第2のクロック供給源から供給されるクロックの1方を前記選択回路の第1および第2の入力部に与え、該選択回路の出力部から選択回路の第1および第2の入力部に与えられたクロックの1方を選択して出力することを特徴とするクロック分配方式。

3. 発明の詳細な説明

本発明はクロック分配系の管理を容易にしたディジタル交換機における通話路系装置に対するクロック分配方式に関するものである。

従来のクロック分配方式は第1図で示すように構成されている。即ち、第1図において、DCS(N)は第1のクロック供給源、DCS(E)は第2のクロック供給源、TDXはディジタル交換機、MCLK(N)は第1のマスタクロック回路、MCLK(E)は第2のマスタクロック回路、SPE; およびSPE'は通話路系装置、SELは選択回路でその①、②は第1および第2の入力部である。この方式では、通常はクロック供給源DCS(N)が使用され、その機能が停止するとクロック供給源DCS(E)からクロックが供給される。クロック供給源DCS(N)の障害が回復すると再びクロック供給源DCS(N)がクロックの供給を行なつて

いる。そして、デイジタル交換機TDX側では供給された2系統のクロックをマスタクロック回路MCLK(N)およびMCLK(E)が受けクロックは2系統のまゝで通話路系装置SPE₁～SPEnに分配され、選択回路SELで2系統のクロックのうち一方を選択して通話路系装置の各々は使用する。なお、選択回路SELの前位にクロック断検出回路（図示省略したが、第1図の選択回路SELの第1の入力部①および第2の入力部②に対応する部位にある。）があつて絶えず入力クロックを監視しており、従つて、例えばDCS(N)→MCLK(N)→SEL①のクロック供給系統が使用されている場合、このクロック供給系統のクロック断検出回路のどれか1つでもクロック断を検出すると、クロック供給系統を反転してDCS(E)→MCLK(E)→SEL②のクロック供給系統でクロックが供給される。こゝで、クロック供給源DCS(N)からのクロックとクロック供給源DCS(E)からのクロックとは位相が異なるので、デイジタル交換機TDXに同期はずれの状態が瞬時生起する。このように従来方式では、クロック供給系の一部

（3）

に障害があつてもクロック供給系統を反転する必要があるので保守が繁雑となり、反転の際のデイジタル交換機の瞬時の同期はずれ状態も好ましいものではなく、また、このクロック供給系が大規模化した場合は信頼性上も好ましくない。さらに、デイジタル交換機とクロック供給源DCS(N)、DCS(E)とは管理区分、保守区分が本来異なるためインタフエース上の分離については明確でなければならないが、前述のように通話路系装置SPE₁～SPEn側での障害でもクロック供給系統の切替をする必要があつて、この趣旨にそむくことになる。

本発明は、上述の諸欠点を除去したクロック分配方式を提供することを目的とし、クロックの系切替回路を用いてインタフエース上の分離を明確にした点に特徴があり、クロック分配系の管理を合理化したものである。

第2図は本発明の1実施例であつて、第1図で示した従来方式とはクロック系切替回路SW_1，SW_2を付加した点が異なる。この構成により、正常時は、第1のクロック供給源DCS(N)と第1のマスタ

（4）

クロック回路MCLK(N)が動作し、また第1のクロック系切替回路であるSW_1と第2のクロック系切替回路であるSW_2とが入力情報種別作成回路（図示省略）で生成された特定の入力情報種別（例えば"1"のクロック）を端子RTを経由して受けることによつて、通話路系装置SPE₁～SPEnは各々の選択回路SELの入力部①、②に以下のようにしてクロックが供給される。

DCS(N)→MCLK(N)→SW_1 ①→SEL①
　　　　　　　→SW_2 ①→SEL②

そして、第1のクロック供給源DCS(N)と第1のマスタクロック回路MCLK(N)のいづれか一方で障害が発生すると障害検出回路（図示省略）で検知し、これに基づく特定の入力情報種別（例えば"2"のクロック）を端子RTを経由して第1および第2のクロック系切替回路SW_1、SW_2が受けることによつて、通話路系装置SPE₁～SPEnは各々の選択回路SELの入力部①、②に以下のようにしてクロックが供給される。DCS(E)→MCLK(E)→SW_1 ②→SEL①
　　　　　　　→SW_2 ②→SEL②

（5）

また、通話路系装置SPE₁～SPEnのうちで例えばSPE₁の選択回路SELの第1の入力部①に関する障害が発生し、この障害をこの選択回路SELの前位にあるクロック断検出回路（図示省略）で検出した場合は、その障害を検出した通話路系装置であるSPE₁の選択回路SELを動作させて、その第2の入力部②で受けているクロックを通話路系装置SPE₁は使用するので、従来方式のような位相条件の相違による悪影響が生じない。また、上述のように単一のクロック供給源であるDCS(N)またはDCS(E)からのクロックが通話路系装置SPE₁～SPEnの選択回路SELの入力部①、②に常時分配されているので、個々の通話路系装置では、その入力部①、②に関する障害の発生しない時は自由に入力部①または②よりクロックを選択して使用でき、しかも自己の選択回路SELのみを動作させればよく、他への影響が及ばない利点がある。なお、クロック系切替回路SW_1、SW_2以後の障害にはデイジタル交換機TDXが対処する。

以上説明したように、本発明によればマスタク

（6）

ロック回路 MCLK(N)、MCLK(E) の後位にクロック系切替回路 SW_1、SW_2 を配置したことによつて、クロック供給源 DCS(N)、DCS(E) のクロック分配系管理とデイジタル交換機 TDX 内のクロック分配系管理が分離し、インタフエースが明確になつた。また、通話路系装置 SPE_1 ～SPEn へのクロック分配を単一のクロック供給源から常時２系統で行なうのでクロック分配系の管理を通話路系装置 SPE_1 ～SPEn 中の個々独立に行なうことができ、従つてクロック分配の系管理が容易となり、さらに、通話路系装置 SPE_1 ～SPEn 中の個々独立にその選択回路 SEL によつて自由に都合のよい方のクロックを選択できるので信頼性上も好ましい結果が得られる。

4. 図面の簡単な説明

第１図は従来のクロック分配方式を説明するためのブロック図、第２図は本発明の１実施例に係るブロック図である。

DCS(N)、DCS(E)…クロック供給源、MCLK(N)、MCLK(E)…マスタクロック回路、SW_1、SW_2…クロック系切替回路、SPE_1、SPEn…通話路系装置。

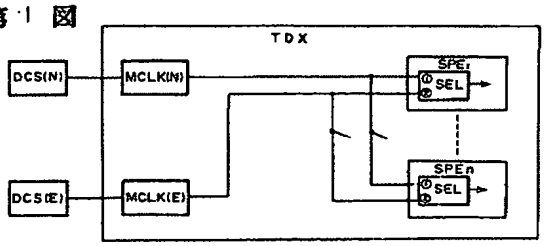
（７）

第１頁の続き

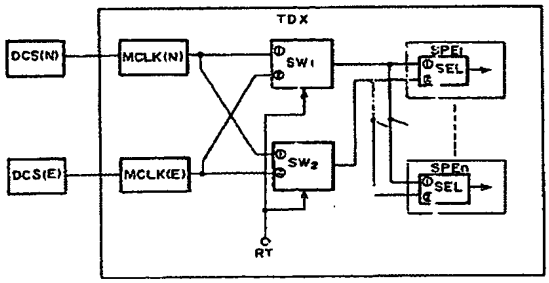
⑦出　願　人　株式会社日立製作所
東京都千代田区丸の内一丁目５番１号

⑦出　願　人　富士通株式会社
川崎市中原区上小田中1015番地

第１図



第２図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-053956
(43)Date of publication of application : 19.04.1980

(51)Int.Cl. H04M 3/22
H04L 11/08

(21)Application number : 53-127298
(22)Date of filing : 18.10.1978

(71)Applicant : OKI ELECTRIC IND CO LTD
NIPPON TELEGR & TELEPH CORP <NTT>
NEC CORP
HITACHI LTD
FUJITSU LTD

(72)Inventor : MIYOSHI TATSURO
HAMASATO KAZUO
KAWADA AKIRA
YASUDA TOSHIKATSU
KATSUYAMA TSUNEO

(54) CLOCK DISTRIBUTION SYSTEM

(57)Abstract:
PURPOSE: To ensure the rational control for the clock distribution system by providing the clock system switching circuit after the master clock circuit.
CONSTITUTION: Clock system switching circuits SW1 and SW2 are provided after master clock circuits MCLK (N) and MCLK(E). As a result, an isolation is secured between the clock distribution system control of clock supply sources DCS(N) and DCS(E) and the clock distribution system control within digital exchange TDX. Thus the interface is made clear. Furthermore, the clock distribution to channel system devices SPE1～SPEn is carried out from the single clock supply source and in two systems at all times, and as a result the control of the clock distribution system can be performed independently among devices SPE1～SPEn. Accordingly, the system control can be facilitated for the clock distribution.